



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0010050
Application Number

출원 년 월 일 : 2003년 02월 18일
Date of Application FEB 18, 2003

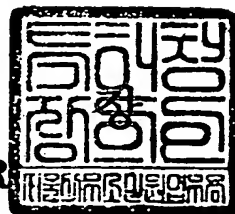
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 07 월 15 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0020
【제출일자】	2003.02.18
【국제특허분류】	H03K
【발명의 명칭】	래치를 근간으로 하는 펄스 발생기
【발명의 영문명칭】	Pulse generator based on latch
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	2003-003435-0
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	2003-003437-4
【발명자】	
【성명의 국문표기】	김도경
【성명의 영문표기】	KIM,Do Kyung
【주민등록번호】	690907-1683016
【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 972-2 벽적골 주공아파트 839-801
【국적】	KR
【발명자】	
【성명의 국문표기】	전용원
【성명의 영문표기】	JEON,Yong Weon
【주민등록번호】	651118-1080127

【우편번호】 442-707
【주소】 경기도 수원시 팔달구 망포동 벽산아파트 117-1201
【국적】 KR
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
 이영필 (인) 대리인
 정상빈 (인)
【수수료】
【기본출원료】 20 면 29,000 원
【가산출원료】 15 면 15,000 원
【우선권주장료】 0 건 0 원
【심사청구료】 18 항 685,000 원
【합계】 729,000 원
【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

클락신호에 토글링하는 MOS트랜지스터들의 개수를 감소시켜 불필요한 소비전력을 감소시킬 수 있는 래치를 근간으로 펄스 발생기가 제공된다. 다수개의 유니트 셀들을 구비하는 펄스 발생기는 상기 다수개의 유니트 셀들 중에서 n (n 은 2이상의 자연수)번째 유니트 셀은 N (N 은 자연수)분주된 클락신호, $(n-1)$ 번째 유니트 셀로부터 출력되는 출력신호, 및 $(n+1)$ 번째 유니트 셀로부터 출력되는 출력신호에 응답하여 소정의 폭을 갖는 펄스를 발생한다. 상기 n 번째 유니트 셀은 상기 $(n+1)$ 번째 유니트 셀로부터 출력되는 출력신호의 상태에 따라 리셋되거나, 상기 클락신호의 폭에 상응하는 폭을 갖는 상기 펄스를 발생한다.

【대표도】

도 4

【색인어】

펄스 발생기

【명세서】**【발명의 명칭】**

래치를 근간으로 하는 펄스 발생기{Pulse generator based on latch}

【도면의 간단한 설명】

본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 상세한 설명이 제공된다.

도 1은 플립-플롭을 근간으로 하는 펄스 발생기의 회로도를 나타낸다.

도 2는 도 1에 도시된 플립-플롭의 회로도를 나타낸다.

도 3은 n개의 데이터를 순차적으로 래치하기 위한 펄스 발생기의 회로도를 나타낸다.

도 4는 본 발명의 제1실시예에 따른 래치를 근간으로 하는 펄스 발생기의 회로도를 나타낸다.

도 5는 본 발명의 제2실시예에 따른 래치를 근간으로 하는 펄스 발생기의 회로도를 나타낸다.

도 6은 클락신호 발생회로를 나타낸다.

도 7은 도 4 및 도 5에 도시된 NAND 게이트의 회로도를 나타낸다.

도 8은 n개의 데이터를 순차적으로 래치하기 위한 펄스 발생기의 회로도를 나타낸다.

도 9는 도 8에 도시된 n개의 데이터를 래치하기 위한 펄스 발생기의 동작 타이밍도를 나타낸다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <11> 본 발명은 펄스 발생기에 관한 것으로, 보다 상세하게는 액티브 매트릭스 형태의 TFT-LCD(active matrix type thin film transistor liquid crystal display driver)에 사용되며, 상기 TFT-LCD의 소오스 데이터 라인으로 입력되는 데이터를 순차적으로 래치시키기 위한 펄스를 발생시키는 래치를 근간으로 하는 펄스 발생기에 관한 것이다.
- <12> 도 1은 플립-플롭을 근간으로 하는 펄스 발생기의 회로도를 나타낸다. 도 1을 참조하면, 펄스 발생기(100)는 인버터들(120, 140), 플립-플롭(110) 및 부정 논리곱(NAND)게이트(130)를 구비한다.
- <13> 인버터들(120, 140)각각은 하나의 PMOS트랜지스터와 하나의 NMOS 트랜지스터로 구현되고, NAND게이트(130)는 두 개의 PMOS트랜지스터들과 두 개의 NMOS 트랜지스터들로 구현된다. 이들(120, 130, 140)의 구체적인 회로는 당업자에게 널리 알려져 있으므로 이에 대한 상세한 설명은 생략한다.
- <14> 플립-플롭(110)은 클락단(CLK)으로 입력되는 클락신호(CLK) 및 상보 클락단 (CKB)으로 입력되는 상보 클락신호(CLKB)에 응답하여 입력단(D)으로 입력되는 데이터(DIN)를 래치하고, 그 결과를 출력단(Q)을 통하여 출력한다. 플립-플롭(110)은 리셋단(RB)으로 입력되는 리셋신호(RSB)의 하강에지에 응답하여 리셋된다.
- <15> 도 2는 도 1에 도시된 플립-플롭의 회로도를 나타낸다. 도 2를 참조하면, 플립-플롭(110)은 다수개의 PMOS 트랜지스터들(1101, 1105, 1113, 1117), 다수개의 NMOS 트랜지

스터들(1103, 1107, 1111, 1115), 두 개의 인버터들(1119, 1123) 및 두 개의 NAND게이트들(1109, 1121)을 구비한다.

- <16> 도 1 및 도 2를 참조하면, 다수개의 MOS 트랜지스터들(1101, 1107, 1111, 1117), 인버터(120) 및 NAND게이트(130)는 클락신호(CLK)에 응답하여 토글링 (toggling)하고, 다수개의 MOS 트랜지스터들(1103, 1105, 1113, 1115)은 상보 클락신호(CKB)에 응답하여 토글링한다.
- <17> 도 3은 n개의 데이터를 순차적으로 래치하기 위한 펄스 발생기의 회로도를 나타낸다.
- <18> 다수개의 펄스 발생기들(100_1, 100_2, ..., 100_n)각각의 구조는 도 1에 도시된 펄스 발생기(100)의 구조와 동일하다.
- <19> 제1단의 펄스 발생기(100_1)는 클락신호(CLK)에 응답하여 입력신호(DIN)를 래치하고, 두 개의 출력신호들(DOUT1, L_CLK1)을 출력한다. 하나의 출력신호 (DOUT1)는 제2단의 펄스 발생기(100_2)의 입력단(DIN2)으로 입력되고, 하나의 출력신호(L_CLK1)는 소정의 데이터를 래치하기 위한 펄스로서 사용된다.
- <20> 제2단의 펄스 발생기(100_2)는 반전 클락신호(CLKB)에 응답하여 입력신호 (DOUT1)를 래치하고, 두 개의 출력신호들(DOUT2, L_CLK2)을 출력한다. 하나의 출력신호(DOUT2)는 제3단의 펄스 발생기(미도시)의 입력단으로 입력되고, 하나의 출력신호(L_CLK2)는 소정의 데이터를 래치하기 위한 펄스로서 사용된다.
- <21> 도 3에 도시된 펄스 발생기(300)는 다수개의 펄스 발생기들(100_1, 100_2, ..., 100_n)각각의 입출력단은 서로 직렬로 접속되고, 입력되는 각 클락신호(CLK, CLKB)에 응

답하여 각 펄스(L_CLK1, L_CLK2, ..., L_CLKn)를 발생한다. 즉 대응되는 데이터를 래치하기 위한 각 펄스(L_CLK1, L_CLK2, ..., L_CLKn)는 순차적으로 발생된다.

- <22> 예컨대 128개의 데이터를 래치하는 경우, 최소 128개의 입력 클락신호(CLK 또는 CLKB)가 필요하다. 그리고 각 펄스 발생기(100_1, 100_2, ..., 100_n)는 각 클락신호(CLK, CLKB)에 응답하여 토글링하는 다수개의 MOS 트랜지스터들(1101, 1103, 1105, 1107, 1111, 1113, 1115, 1117)을 각각 구비하므로, 하나의 펄스 발생기(예컨대 100_n)는 한번의 펄스(L_CLKn)를 발생시키기 위하여 최소한 127회의 불필요한 토글링을 하면서 불필요한 전력을 소모한다.

【발명이 이루고자 하는 기술적 과제】

- <23> 따라서 본 발명이 이루고자 하는 기술적인 과제는 클락신호에 토글링하는 MOS트랜지스터들의 개수를 감소시켜 불필요한 소비전력을 감소시킬 수 있는 래치를 근간으로 펄스 발생기를 제공하는 것이다.

【발명의 구성 및 작용】

- <24> 상기 기술적 과제를 달성하기 위한 다수개의 유니트 셀들을 구비하는 펄스 발생기는 상기 다수개의 유니트 셀들 중에서 n (n 은 2이상의 자연수)번째 유니트 셀은 N (N 은 자연수)분주된 클락신호, $(n-1)$ 번째 유니트 셀로부터 출력되는 출력신호, 및 $(n+1)$ 번째 유니트 셀로부터 출력되는 출력신호에 응답하여 소정의 폭을 갖는 펄스를 발생한다.
- <25> 상기 n 번째 유니트 셀은 상기 $(n+1)$ 번째 유니트 셀로부터 출력되는 출력신호의 상태에 따라 리셋되거나, 상기 클락신호의 폭에 상응하는 폭을 갖는 상기 펄스를 발생한다.

- <26> 상기 (n-1)번째 유니트 셀로부터 출력되는 출력신호 및 상기 (n+1)번째 유니트 셀로부터 출력되는 출력신호는 소정의 시간차를 두고 각각의 위상을 천이한다.
- <27> 상기 n번째 유니트 셀은 상기 (n-1)번째 유니트 셀로부터 출력되는 출력신호 및 상기 (n+1)번째 유니트 셀로부터 출력되는 출력신호를 수신하고, 이들을 부정 논리곱하는 제1부정 논리곱 게이트; 상기 제1부정 논리곱 게이트의 출력신호를 수신하여 반전시키는 제1인버터; 상기 N분주된 클락신호 및 상기 제1인버터의 출력신호를 수신하고, 이들을 부정 논리곱하는 제2부정 논리곱 게이트; 상기 제2부정 논리곱 게이트의 출력신호를 수신하고, 반전시키고, 반전된 신호를 상기 펄스로서 출력하는 제2인버터; 및 리셋 신호 및 상기 제2부정 논리곱 게이트의 출력신호를 리셋-셋 신호로서 수신하고, 이들을 각각 래치하는 래치를 구비한다.
- <28> 상기 제2부정 논리곱 게이트는 전원전압과 상기 제2부정 논리곱 게이트의 출력단 사이에 병렬로 접속되는 제1POMS 트랜지스터 및 제2PMOS 트랜지스터; 및 상기 제2부정 논리곱 게이트의 출력단과 접지전압사이에 직렬로 접속되는 제1NMOS 트랜지스터 및 제2NMOS 트랜지스터를 구비하며, 상기 N분주된 클락신호는 상기 제1POMS 트랜지스터의 게이트 및 상기 제1NMOS 트랜지스터의 게이트로 입력되고, 상기 제1인버터의 출력신호는 상기 제2POMS 트랜지스터의 게이트 및 상기 제2NMOS 트랜지스터의 게이트로 입력된다.
- <29> 상기 기술적 과제를 달성하기 위한 직렬로 접속된 다수개의 유니트 셀들을 구비하는 펄스 발생기는 상기 다수개의 유니트 셀들 각각은 제1입력단 내지 제3입력단 및 제1출력단 내지 제3출력단을 구비하며,
- <30> 상기 다수개의 유니트 셀들 중에서 n(n은 2이상의 자연수)번째 유니트 셀의 상기 1입력단은 N분주된 클락신호를 수신하고, 상기 제2입력단은 (n-1)번째 유니트 셀의 제2출

력단으로부터 출력되는 신호를 수신하고, 상기 제3입력단은 (n+1)번째 유니트 셀의 제3 출력단으로부터 출력되는 출력신호를 수신하고,

- <31> 상기 n번째 유니트 셀은 상기 제1입력단 내지 상기 제3입력단으로 각각 입력되는 신호들에 응답하여 상기 N분주된 클락신호에 상응하는 펄스를 상기 제1출력단으로 출력한다.
- <32> 상기 n번째 유니트 셀은 상기 (n+1)번째 유니트 셀의 상기 제3출력단으로부터 출력되는 상기 출력신호의 상태에 따라 리셋되거나, 상기 N분주된 클락신호의 폭에 상응하는 폭을 갖는 상기 펄스를 상기 제1출력단으로 출력한다.
- <33> 상기 (n-1)번째 유니트 셀의 제2출력단으로부터 출력되는 출력신호 및 상기 (n+1)번째 유니트 셀의 상기 제3출력단으로부터 출력되는 출력신호는 소정의 시간차를 두고 각각의 위상을 천이한다.
- <34> 상기 n번째 유니트 셀은 상기 제2입력단으로 입력되는 상기 (n-1)번째 유니트 셀로부터 출력된 출력신호 및 상기 제3입력단으로 입력되는 상기 (n+1)번째 유니트 셀로부터 출력된 출력신호를 수신하고, 이들을 부정 논리곱하는 제1부정 논리곱 게이트; 상기 제1부정 논리곱 게이트의 출력신호를 수신하여 반전시키는 제1인버터; 상기 제1입력단으로 입력되는 상기 N분주된 클락신호 및 상기 제1인버터의 출력신호를 수신하고, 이들을 부정 논리곱하는 제2부정 논리곱 게이트; 상기 제2부정 논리곱 게이트의 출력신호를 수신하고, 반전시키고, 반전된 신호를 상기 출력신호로서 출력하는 제2인버터; 및 리셋 신호 및 상기 제2부정 논리곱 게이트의 출력신호를 리셋-셋 신호로서 수신하고, 이들을 각각 래치하는 래치를 구비한다.

<35> 또는 상기 n번째 유니트 셀은 상기 제2입력단으로 입력되는 상기 (n-1)번째 유니트 셀로부터 출력된 출력신호 및 상기 제3입력단으로 입력되는 상기 (n+1)번째 유니트 셀로부터 출력된 출력신호를 수신하고, 이들을 부정 논리곱하는 제1부정 논리곱 게이트; 상기 제1부정 논리곱 게이트의 출력신호를 수신하여 반전시키는 제1인버터; 상기 제1입력단으로 입력되는 상기 N분주된 클락신호 및 상기 제1인버터의 출력신호를 수신하고, 이들을 부정 논리곱하는 제2부정 논리곱 게이트; 상기 제1부정 논리곱 게이트의 출력신호를 수신하고, 반전시키고, 반전된 신호를 출력신호로서 상기 제1출력단으로 출력하는 제2인버터; 공통 노드 및 상기 제2출력단사이에 접속되고, 상기 제2부정 논리곱 게이트의 출력신호 및 상기 제2인버터의 출력신호에 응답하는 제1전송회로; 상기 공통 노드 및 상기 제1인버터의 출력단사이에 접속되고, 상기 제2부정 논리곱 게이트의 출력신호 및 상기 제2인버터의 출력신호에 응답하는 제2전송회로; 리셋 신호 및 상기 공통 노드의 출력신호를 각각 수신하고, 이들을 부정 논리곱하고, 그 결과를 상기 제3출력단으로 출력하는 제3부정 논리곱 게이트; 및 상기 제3부정 논리곱 게이트의 출력신호를 수신하고, 반전하고, 반전된 신호를 상기 제2출력단으로 출력하는 제3인버터를 구비한다.

<36> 상기 기술적 과제를 달성하기 위한 펄스 발생기는 제1입력신호 및 제2입력신호를 각각 수신하고, 이들을 부정 논리곱하는 제1부정 논리곱 게이트; 상기 제1부정 논리곱 게이트의 출력신호를 수신하여 반전시키는 제1인버터; N분주된 클락신호 및 상기 제1인버터의 출력신호를 수신하고, 이들을 부정 논리곱하는 제2부정 논리곱 게이트; 상기 제2부정 논리곱 게이트의 출력신호를 반전시키는 제2인버터; 및 리셋 신호 및 상기 제2부정 논리곱 게이트의 출력신호를 리셋-셋 신호로서 수신하고, 이들을 각각 래치하는 래치를

구비하며, 상기 제2인버터는 상기 2입력신호에 응답하여 상기 N분주된 클락신호에 상응하는 펄스를 발생한다.

<37> 상기 기술적 과제를 달성하기 위한 펄스 발생기는 제2입력단으로 입력되는 제1입력신호 및 제2입력단으로 입력되는 제2입력신호를 각각 수신하고, 이들을 부정 논리곱하는 제1부정 논리곱 게이트; 상기 제1부정 논리곱 게이트의 출력신호를 수신하여 반전시키는 제1인버터; 제1입력단으로 입력되는 N분주된 클락신호 및 상기 제1인버터의 출력신호를 수신하고, 이들을 부정 논리곱하는 제2부정 논리곱 게이트; 상기 제2부정 논리곱 게이트 및 제1출력단사이에 접속되는 제2인버터; 공통 노드 및 제2출력단사이에 접속되고, 상기 제2부정 논리곱 게이트의 출력신호 및 상기 제2인버터의 출력신호에 응답하여 제1전송회로; 상기 공통 노드 및 상기 제1인버터(503)의 출력단사이에 접속되고, 상기 제2부정 논리곱 게이트의 출력신호 및 상기 제2인버터의 출력신호에 응답하는 제2전송회로; 리셋 신호 및 상기 공통 노드의 출력신호를 각각 수신하고, 이들을 부정 논리곱하고, 그 결과를 제3출력단으로 출력하는 제3부정 논리곱 게이트; 및 상기 제3부정 논리곱 게이트 및 상기 제2출력단사이에 접속되는 제3인버터를 구비하며, 상기 제2인버터는 상기 2입력신호에 응답하여 상기 N분주된 클락신호에 상응하는 펄스를 발생한다. 상기 제1입력신호 및 상기 제2입력신호는 소정의 시간차를 두고 각각의 위상을 천이하는 것을 특징으로 하는 펄스 발생기.

<38> 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.

- <39> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.
- <40> 도 4는 본 발명의 제1실시예에 따른 래치를 근간으로 하는 펄스 발생기의 회로도를 나타낸다.
- <41> 도 4를 참조하면, 펄스 발생기(400)는 제1입력단 내지 제3입력단(481 내지 483) 및 제1출력단 내지 제3출력단(491 내지 493)을 구비한다.
- <42> 제1부정 논리곱 게이트(401)는 제2입력단(482)으로 입력되는 입력신호 (SFT_IN) 및 제3입력단(483)으로 입력되는 입력신호(SFTR_IN)를 각각 수신하고, 이들을 부정 논리곱하고, 그 결과를 제1인버터(403)로 출력한다.
- <43> 제3입력단(483)으로 입력되는 입력신호(SFTR_IN)는 제2입력단(482)으로 입력되는 입력신호(SFT_IN)가 논리 로우(low)에서 논리 하이(high)로 상태(또는 위상)를 천이한 후, 소정의 시간이 경과 된 후에 논리 하이에서 논리 로우로 천이하는 것이 바람직하다.
- <44> 제1인버터(403)는 제1부정 논리곱 게이트(401)의 출력신호를 수신하여 반전시키고, 반전된 신호(enb)를 제2부정 논리곱 게이트(405)로 출력한다.
- <45> 제2부정 논리곱 게이트(405)는 제1입력단(481)으로 입력되는 N(N은 자연수, 여기서 N은 2)분주된 클락신호(CLK2_E0) 및 제1인버터(403)의 출력신호(enb)를 각각 수신하고, 이들을 부정 논리곱하고, 그 결과를 제2인버터(409) 및 래치(411)의 NAND 게이트(411a)로 출력한다.

- <46> 제2인버터(409)는 제2부정 논리곱 게이트(405)의 출력신호를 수신하고, 이를 반전시키고, 반전된 신호를 제1출력단(491)을 통하여 출력신호(LAT_PUL)로서 출력한다. 출력신호(LAT_PUL)는 데이터를 래치하기 위한 펄스이다.
- <47> 래치(411)는 두 개의 NAND(411a, 411b)게이트로 구현되며, 제4입력단(484)을 통하여 입력되는 리셋 신호(SYRB) 및 제2부정 논리곱 게이트(405)의 출력신호를 리셋-셋 신호로서 각각 수신하고, 이들을 각각 래치한다. 래치(411)는 R-S 래치가 사용될 수 있다.
- <48> 인버터(413)는 NAND 게이트(411a)의 출력신호를 수신하여 반전시키고, 반전된 신호를 출력신호(SFTR)로서 제3출력단(493)으로 출력한다.
- <49> 인버터(415)는 NAND 게이트(411b)의 출력신호를 수신하여 반전시키고, 반전된 신호를 출력신호(SFT_OUT)로서 제2출력단(492)으로 출력한다.
- <50> 래치 펄스 발생기(400)는 제3입력단(483)으로 입력되는 신호(SFTR_IN)의 논리 상태(또는 위상)에 따라 리셋되거나, 또는 제1입력단(481)을 통하여 입력되는 2분주된 클락신호(CLK2_EO)를 출력신호(LAT_PUL)로 제1출력단(491)으로 출력한다. 또한, 래치 펄스 발생기(400)는 리셋신호(SYRB)에 응답하여 리셋된다.
- <51> 도 5는 본 발명의 제2실시예에 따른 래치를 근간으로 하는 펄스 발생기의 회로도를 나타낸다.
- <52> 도 5를 참조하면, 펄스 발생기(500)는 제1입력단 내지 제3입력단(581 내지 583) 및 제1출력단 내지 제3출력단(591 내지 593)을 구비한다.

- <53> 제1부정 논리곱 게이트(501)는 제2입력단(582)으로 입력되는 입력신호 (SFT_IN) 및 제3입력단(583)으로 입력되는 입력신호(SFTR_IN)를 각각 수신하고, 이들을 부정 논리곱하고, 그 결과를 제1인버터(503)로 출력한다.
- <54> 제3입력단(583)으로 입력되는 입력신호(SFTR_IN)는 제2입력단(582)으로 입력되는 입력신호(SFT_IN)가 논리 로우에서 논리 하이로 상태(또는 위상)를 천이한 후, 소정의 시간이 경과 된 후에 논리 하이에서 논리 로우로 천이하는 것이 바람직하다.
- <55> 제1인버터(503)는 제1부정 논리곱 게이트(501)의 출력신호를 수신하여 반전시키고, 반전된 신호(enb)를 제2부정 논리곱 게이트(505) 및 제2전송회로(517)로 출력한다.
- <56> 제2부정 논리곱 게이트(505)는 제1입력단(581)으로 입력되는 2분주된 클락신호 (CLK2_E0) 및 제1인버터(503)의 출력신호를 각각 수신하고, 이들을 부정 논리곱하고, 그 결과를 제2인버터(509) 및 제1전송회로(511) 및 제2전송회로(517)로 출력한다.
- <57> 제1전송회로(511)는 공통 노드(515) 및 제2출력단(592)사이에 접속되고, 제2부정 논리곱 게이트(505)의 출력단(507)의 출력신호 및 제2인버터(509)의 출력신호에 응답하여 공통 노드(515) 및 제2출력단(592)사이를 온/오프한다.
- <58> 제1전송회로(511)는 NMOS 트랜지스터(511a) 및 PMOS 트랜지스터(511b)로 구현되며, NMOS 트랜지스터(511a) 및 PMOS 트랜지스터(511b) 각각은 공통 노드(515) 및 제2출력단 (592)사이에 접속되고, 제2부정 논리곱 게이트(405)의 출력단(407)의 출력신호는 NMOS 트랜지스터(511a)의 게이트로 입력된다. 제2인버터(509)의 출력신호는 PMOS 트랜지스터 (511b)의 게이트로 입력된다.

- <59> 제2전송회로(517)는 공통 노드(515) 및 제1인버터(503)의 출력단사이에 접속되고, 제2부정 논리곱 게이트(505)의 출력신호 및 제2인버터(509)의 출력신호에 응답하여 공통 노드(515) 및 제1인버터(503)의 출력단사이를 온/오프한다.
- <60> 제2전송회로(517)는 NMOS 트랜지스터(517a) 및 PMOS 트랜지스터(517b)로 구현되며, PMOS 트랜지스터(517a) 및 NMOS 트랜지스터(517b) 각각은 공통 노드(515) 및 제1인버터(503)의 출력단사이에 접속되고, 제2부정 논리곱 게이트(505)의 출력단(507)의 출력신호는 PMOS 트랜지스터(517a)의 게이트로 입력된다. 제2인버터(509)의 출력신호는 NMOS 트랜지스터(517b)의 게이트로 입력된다.
- <61> 제2인버터(509)는 제2부정 논리곱 게이트(505)의 출력신호를 수신하고, 이를 반전시키고, 반전된 신호를 제1출력단(591)을 통하여 출력신호(LAT_PUL)로서 출력한다. 출력신호(LAT_PUL)는 데이터를 래치하기 위하여 사용되는 펄스이다.
- <62> 제3NAND게이트(521)는 제4입력단(584)으로 입력되는 리셋 신호(SYRB) 및 공통 노드(515)의 출력신호를 각각 수신하고, 이들을 부정 논리곱하고, 그 결과 (SFTR)를 제3출력단(593) 및 제3인버터(523)로 출력한다.
- <63> 제3인버터(523)는 제3부정 논리곱 게이트(521)의 출력신호를 수신하고, 이를 반전하고, 반전된 신호(SFT_OUT)를 제2출력단(592) 및 제1전송회로(511)로 출력한다.
- <64> 도 6은 클락신호 발생회로를 나타낸다. 도 6을 참조하면, 2분주된 클락신호 발생회로(600)는 플립-플롭(610), 제1NOR 게이트(630) 및 제2NOR 게이트(650)를 구비한다.
- <65> 플립-플롭(610)의 클락단(CK)으로 클락신호(CLK)가 입력되고, 반전 클락단 (CKB)으로 반전 클락신호(CLKB)가 입력되고, 입력단(D)으로 반전 출력단(QB)의 출력신호(CLK2B)

가 입력된다. 클락신호(CLK) 및 반전 클락신호(CLKB)는 서로 상보적인 신호이고, 출력신호(CLK2) 및 반전 출력신호(CLK2B)는 서로 상보적인 신호이다.

<66> 제1NOR 게이트(630)는 클락신호(CLK) 및 플립-플롭(610)의 출력신호(CLK2)를 각각 수신하고, 이들을 부정 논리합하고, 그 결과(CLK2_ODD)를 출력한다. 여기서 플립-플롭(610)의 출력신호(CLK2)는 클락신호(CLK)를 2분주한 클락신호이다.

<67> 제2NOR 게이트(650)는 클락신호(CLK) 및 플립-플롭(610)의 반전 출력신호 (CLK2B)를 각각 수신하고, 이들을 부정 논리합하고, 그 결과(CLK2_EVEN)를 출력한다. 여기서 플립-플롭(610)의 반전 출력신호(CLK2B)는 반전 클락신호(CLKB)를 2분주한 클락신호이다. 플립-플롭(610)은 리셋 신호(RESETB)의 하강에지에 응답하여 리셋된다.

<68> 제1NOR 게이트(630)의 출력신호(CLK2_ODD) 및 제2NOR 게이트(650)의 출력신호(CLK2_EVEN)는 도 9에 도시된 바와 같다. 그리고 도 4 및 도 5에 도시된 분주된 2클락신호(CLK2_EO)는 제1NOR 게이트(630)의 출력신호(CLK2_ODD) 또는 제2NOR 게이트(650)의 출력신호(CLK2_EVEN)를 나타낸다.

<69> 즉, 제1NOR 게이트(630)는 2분주된 홀수번 클락신호(CLK2_ODD)를 출력하고, 제2NOR 게이트(650)는 2분주된 짝수번 클락신호(CLK2_EVEN)를 출력한다.

<70> 도 7은 도 4 및 도 5에 각각 도시된 NAND 게이트(405, 505)를 나타낸다. 제1PMOS 트랜지스터(4051) 및 제2PMOS 트랜지스터(4053)는 전원전압(VDD)과 도 4 및 도 5의 제2부정 논리곱 게이트(405, 505)의 출력단(407, 507)사이에 병렬로 접속되고, 제1NMOS 트랜지스터(4055) 및 제2NMOS 트랜지스터(4057)는 제2부정 논리곱 게이트(405, 505)의 출력단(407, 507)과 접지전압(VSS)사이에 직렬로 접속된다.

- <71> 2분주된 클락신호(CLK2_E0)는 제1POMS 트랜지스터(4051)의 게이트 및 제1NMOS 트랜지스터(4055)의 게이트로 입력되고, 제1인버터(도 4의 403 및 도 5의 503)의 출력신호(enb)는 제2POMS 트랜지스터(4053)의 게이트 및 제2NMOS 트랜지스터(4057)의 게이트로 입력된다.
- <72> 따라서 2분주된 클락신호(CLK2_E0)는 제1POMS 트랜지스터(4051)의 게이트 및 제1NMOS 트랜지스터(4055)의 게이트로 입력되므로, 제1POMS 트랜지스터 및 제1NMOS 트랜지스터(4055)만이 2분주된 클락신호(CLK2_E0)에 따라 토글링한다.
- <73> 이에 반하여 도 1 및 도 2에 도시된 종래의 펄스 발생기(100)를 보면, 다수개의 MOS트랜지스터들(1101, 1103, 1105, 1107, 1111, 1113, 1115, 1117), 인버터(120)의 MOS 트랜지스터들, NAND 게이트(30)의 MOS 트랜지스터들은 클락신호 (CLK)응답하여 토글링한다.
- <74> 따라서 도 7에 도시된 NAND 게이트를 구비하는 본 발명에 따른 펄스 발생기 (400, 500)에서 소비되는 전력은 도 1에 도시된 펄스 발생기(100)에서 소비되는 전력보다 상당히 작다.
- <75> 도 8은 n개의 데이터를 순차적으로 래치하기 위한 펄스 발생기의 회로도를 나타낸다.
- <76> 도 8을 참조하면, 펄스 발생기(800)는 제1더미 유닛 셀(810), 펄스 발생기 셋(830) 및 제2 더미 유닛 셀(850)을 구비한다.

- <77> 펄스 발생기 셋(830)은 n 개의 유니트 셀들(830_1, 830_2, ..., 830_n)을 구비한다. n 개의 유니트 셀들(830_1, 830_2, ..., 830_n) 각각은 도 4 또는 도 5에 도시된 펄스 발생기(400, 500)에 동일한 구조 및 기능을 갖는다.
- <78> 다수개의 유니트 셀들 중에서 n (n 은 2이상의 자연수)번째 유니트 셀(830_1)은 2분주된 홀수번 클락신호(CLK2_ODD), ($n-1$)번째 유니트 셀(810)로부터 출력되는 출력신호(SFT_OUT0=SFT_IN1), 및 ($n+1$)번째 유니트 셀(830_2)로부터 출력되는 출력신호(SFTR2=SFTR_IN1)에 응답하여 2분주된 홀수번 클락신호(CLK2_ODD)를 출력신호(LAT_PUL1)로서 출력한다.
- <79> 즉, n 번째 유니트 셀은(830_1)은 ($n+1$)번째 유니트 셀(830_2)로부터 출력되는 출력신호(SFTR2)의 논리 상태에 따라 리셋되거나, 2분주된 홀수번 클락신호(CLK2_ODD)의 폭에 상응하는 폭을 가진 펄스를 출력신호(LAT_PUL)로서 출력한다. 펄스(LAT_PUL)는 TFT_LCD의 소오스 데이터 라인으로 입력되는 데이터를 래치하기 위하여 사용된다.
- <80> 즉, 도 4 및 도 5에 도시된 펄스 발생기(400, 500)를 보면, 제1인버터(403)의 출력신호(enb)가 논리 로우인 경우, 각 펄스 발생기(400, 500)는 2분주된 클락신호(CLK2_E0)의 상태에 무관하게 비활성화(예컨대 논리 로우)된 출력신호(LAT_PUL)를 출력한다.
- <81> 그러나 제1인버터(403)의 출력신호(enb)가 논리 하이인 경우, 각 펄스 발생기(400, 500)는 클락신호(CLK2_E0)의 폭에 상응하는 폭을 가진 펄스를 출력신호(LAT_PUL)로서 출력한다.
- <82> 유니트 셀(830_1)의 제1입력단으로 2분주된 홀수번 클락신호(CLK2_ODD)가 입력되고, 제2입력단으로 제1더미 유니트 셀(810)의 제2출력단으로부터 출력된 신호(SFT_OUT0)가

입력되고, 제3입력단으로 유니트 셀(830_2)의 제3출력단으로부터 출력된 신호(SFTR2)가 입력된다.

- <83> 또한, n 번째 유니트 셀(830_n)의 제1입력단으로 2분주된 홀수번 클락신호 (CLK2_ODD)가 입력되고, 제2입력단으로 (n-1)번째 유니트 셀(미 도시)의 제2출력단으로부터 출력되는 신호가 입력되고, 제3입력단으로 제2더미 유니트 셀(850)의 제3출력단으로부터 출력된 신호(SFTRD2)가 입력된다.
- <84> n번째 유니트 셀(830_n)의 제1출력단으로부터 출력된 신호(LAT_PULn)는 n번째 데이터를 래치하기 위한 신호로서 사용된다.
- <85> 도 9는 도 8에 도시된 n개의 데이터를 래치하기 위한 래치 펄스 발생기의 동작 타이밍도를 나타낸다. 도 4 내지 도 9를 참조하여 n개의 데이터를 래치하기 위한 래치 펄스 발생기의 동작을 상세히 설명하면 다음과 같다.
- <86> 우선 128개의 데이터를 순차적으로 래치하는 경우를 설명한다. 도 6의 클락신호 발생회로(600)는 클락신호(CLK) 및 반전 클락신호(CLKB)에 응답하여 2분주된 홀수번 클락신호(CLK2_ODD) 및 2분주된 짝수번 클락신호(CLK2_EVEN)를 교대로 발생한다.
- <87> 활성화된 시작신호(START)가 제1 더미 유니트 셀(810)의 제2입력단으로 입력신호(SFT_IN0)로서 입력되고, 활성화된 유니트 셀(830_1)의 제3출력단(SFTR1)으로부터 출력된 신호가 제3입력단으로 입력신호(SFTR_IND1)로서 입력되는 경우, 제1더미 유니트 셀(810)은 활성화된 출력신호(SFT_OUT0)를 유니트 셀(830_1)의 입력신호(SFT_IN1)로서 출력한다.

- <88> 유닛 셀(830_1)은 활성화된 입력신호(SFT_IN1) 및 활성화된 유닛 셀(830_2)의 출력신호(SFTR2)에 응답하여 2분주된 홀수번 클락신호(CLK2_ODD)의 폭만큼의 폭을 갖는 펄스(LAT_PUL1)를 발생하고, 활성화된 출력신호(SFT_OUT1) 및 비활성화된 출력신호(SFTR1)를 각각 출력한다. 따라서 제1더미 유닛 셀(810)은 비활성화된 출력신호(SFTR1)에 응답하여 리셋된다.
- <89> 그리고 활성화된 유닛 셀(830_1)의 출력신호(SFT_OUT1)는 유닛 셀 (830_2)의 입력신호(SFT_IN2)가 된다.
- <90> 유닛 셀(830_2)은 활성화된 입력신호(SFT_IN2) 및 활성화된 유닛 셀 (830_2)의 출력신호(SFTR3)에 응답하여 2분주된 짝수번 클락신호(CLK2_EVEN)의 폭만큼의 폭을 갖는 펄스(LAT_PUL2)를 발생하고, 활성화된 출력신호(SFT_OUT2) 및 비활성화된 출력신호(SFTR2)를 각각 출력한다. 따라서 유닛 셀(830_1)은 비활성화된 출력신호(SFTR2)에 응답하여 리셋된다.
- <91> 상술한 동작은 128개의 소오스 데이터가 래치될 때까지 반복적으로 수행된다. 따라서 128개의 유닛 셀들(830_1, 830_2, ..., 830_n)각각은 순차적으로 128개의 펄스를 발생한다.
- <92> 본 발명은 도면에 도시된 일 실시 예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

【발명의 효과】

<93> 상술한 바와 같이 본 발명에 따른 액티브 매트릭스 형태의 TFT-LCD에 사용되고, 래치를 근간으로 하는 펄스 발생기는 클락신호에 의하여 소모되는 전력을 최소화하는 장점이 있다.

【특허청구범위】**【청구항 1】**

다수개의 유니트 셀들을 구비하는 펄스 발생기에 있어서,

상기 다수개의 유니트 셀들 중에서 n (n 은 2이상의 자연수)번째 유니트 셀은 N (N 은 자연수)분주된 클락신호, $(n-1)$ 번째 유니트 셀로부터 출력되는 출력신호, 및 $(n+1)$ 번째 유니트 셀로부터 출력되는 출력신호에 응답하여 소정의 폭을 갖는 펄스를 발생하는 것을 특징으로 하는 펄스 발생기.

【청구항 2】

제1항에 있어서,

상기 n 번째 유니트 셀은 상기 $(n-1)$ 번째 유니트 셀로부터 출력되는 출력신호 및 상기 $(n+1)$ 번째 유니트 셀로부터 출력되는 출력신호의 상태에 따라 리셋되거나, 상기 N 분주된 클락신호의 폭에 상응하는 폭을 갖는 상기 펄스를 발생하는 것을 특징으로 하는 펄스 발생기.

【청구항 3】

제1항에 있어서, 상기 $(n-1)$ 번째 유니트 셀로부터 출력되는 출력신호 및 상기 $(n+1)$ 번째 유니트 셀로부터 출력되는 출력신호는 소정의 시간차를 두고 각각의 위상을 천이하는 것을 특징으로 하는 펄스 발생기.

【청구항 4】

제1항에 있어서, 상기 n 번째 유니트 셀은,

상기 (n-1)번째 유니트 셀로부터 출력되는 출력신호 및 상기 (n+1)번째 유니트 셀로부터 출력되는 출력신호를 수신하고, 이들을 부정 논리곱하는 제1부정 논리곱 게이트;

상기 제1부정 논리곱 게이트의 출력신호를 수신하여 반전시키는 제1인버터;

상기 N분주된 클락신호 및 상기 제1인버터의 출력신호를 수신하고, 이들을 부정 논리곱하는 제2부정 논리곱 게이트;

상기 제2부정 논리곱 게이트의 출력신호를 수신하고, 반전시키고, 반전된 신호를 상기 펄스로서 출력하는 제2인버터; 및

리셋 신호 및 상기 제2부정 논리곱 게이트의 출력신호를 리셋-셋 신호로서 수신하고, 이들을 각각 래치하는 래치를 구비하는 것을 특징으로 하는 펄스 발생기.

【청구항 5】

제4항에 있어서, 상기 제2부정 논리곱 게이트는,

전원전압과 상기 제2부정 논리곱 게이트의 출력단사이에 병렬로 접속되는 제1POMS 트랜지스터 및 제2PMOS 트랜지스터; 및

상기 제2부정 논리곱 게이트의 출력단과 접지전압사이에 직렬로 접속되는 제1NMOS 트랜지스터 및 제2NMOS 트랜지스터를 구비하며,

상기 N분주된 클락신호는 상기 제1POMS 트랜지스터의 게이트 및 상기 제1NMOS 트랜지스터의 게이트로 입력되고, 상기 제1인버터의 출력신호는 상기 제2POMS 트랜지스터의 게이트 및 상기 제2NMOS 트랜지스터의 게이트로 입력되는 것을 특징으로 하는 펄스 발생기.

【청구항 6】

직렬로 접속된 다수개의 유니트 셀들을 구비하는 펄스 발생기에 있어서,

상기 다수개의 유니트 셀들 각각은 제1입력단 내지 제3입력단 및 제1출력단 내지 제3출력단을 구비하며,

상기 다수개의 유니트 셀들 중에서 n (n 은 2이상의 자연수)번째 유니트 셀의 상기 1 입력단은 N 분주된 클락신호를 수신하고, 상기 제2입력단은 $(n-1)$ 번째 유니트 셀의 제2출력단으로부터 출력되는 신호를 수신하고, 상기 제3입력단은 $(n+1)$ 번째 유니트 셀의 제3출력단으로부터 출력되는 출력신호를 수신하고,

상기 n 번째 유니트 셀은,

상기 제1입력단 내지 상기 제3입력단으로 각각 입력되는 신호들에 응답하여 상기 N 분주된 클락신호에 상응하는 펄스를 상기 제1출력단으로 출력하는 것을 특징으로 하는 펄스 발생기.

【청구항 7】

제6항에 있어서,

상기 n 번째 유니트 셀은 상기 $(n+1)$ 번째 유니트 셀의 상기 제3출력단으로부터 출력되는 상기 출력신호의 상태에 따라 리셋되거나, 상기 N 분주된 클락신호의 폭에 상응하는 폭을 갖는 상기 펄스를 상기 제1출력단으로 출력하는 것을 특징으로 하는 펄스 발생기.

【청구항 8】

제6항에 있어서, 상기 (n-1)번째 유니트 셀의 제2출력단으로부터 출력되는 출력신호 및 상기 (n+1)번째 유니트 셀의 상기 제3출력단으로부터 출력되는 출력신호는 소정의 시간차를 두고 각각의 위상을 천이하는 것을 특징으로 하는 펄스 발생기.

【청구항 9】

제5항에 있어서, 상기 n번째 유니트 셀은,

상기 제2입력단으로 입력되는 상기 (n-1)번째 유니트 셀로부터 출력된 출력신호 및 상기 제3입력단으로 입력되는 상기 (n+1)번째 유니트 셀로부터 출력된 출력신호를 수신하고, 이들을 부정 논리곱하는 제1부정 논리곱 게이트;

상기 제1부정 논리곱 게이트의 출력신호를 수신하여 반전시키는 제1인버터;

상기 제1입력단으로 입력되는 상기 N분주된 클락신호 및 상기 제1인버터의 출력신호를 수신하고, 이들을 부정 논리곱하는 제2부정 논리곱 게이트;

상기 제2부정 논리곱 게이트의 출력신호를 수신하고, 반전시키고, 반전된 신호를 상기 출력신호로서 출력하는 제2인버터; 및

리셋 신호 및 상기 제2부정 논리곱 게이트의 출력신호를 리셋-셋 신호로서 수신하고, 이들을 각각 래치하는 래치를 구비하는 것을 특징으로 하는 펄스 발생기.

【청구항 10】

제9항에 있어서, 상기 제2부정 논리곱 게이트는,

전원전압과 상기 제2부정 논리곱 게이트의 출력단사이에 병렬로 접속되는 제1POMS 트랜지스터 및 제2PMOS 트랜지스터; 및

상기 제2부정 논리곱 게이트의 출력단과 접지전압사이에 직렬로 접속되는 제1NMOS 트랜지스터 및 제2NMOS 트랜지스터를 구비하며,

상기 제1입력단으로 입력되는 상기 N분주된 클락신호는 상기 제1POMS 트랜지스터의 게이트 및 상기 제1NMOS 트랜지스터의 게이트로 입력되고, 상기 제1인버터의 출력신호는 상기 제2POMS 트랜지스터의 게이트 및 상기 제2NMOS 트랜지스터의 게이트로 입력되는 것을 특징으로 하는 펄스 발생기.

【청구항 11】

제6항에 있어서, 상기 n번째 유니트 셀은,

상기 제2입력단으로 입력되는 상기 (n-1)번째 유니트 셀로부터 출력된 출력신호 및 상기 제3입력단으로 입력되는 상기 (n+1)번째 유니트 셀로부터 출력된 출력신호를 수신하고, 이들을 부정 논리곱하는 제1부정 논리곱 게이트;

상기 제1부정 논리곱 게이트의 출력신호를 수신하여 반전시키는 제1인버터;

상기 제1입력단으로 입력되는 상기 N분주된 클락신호 및 상기 제1인버터의 출력신호를 수신하고, 이들을 부정 논리곱하는 제2부정 논리곱 게이트;

상기 제1부정 논리곱 게이트의 출력신호를 수신하고, 반전시키고, 반전된 신호를 출력신호로서 상기 제1출력단으로 출력하는 제2인버터;

공통 노드 및 상기 제2출력단사이에 접속되고, 상기 제2부정 논리곱 게이트의 출력신호 및 상기 제2인버터의 출력신호에 응답하는 제1전송회로;

상기 공통 노드 및 상기 제1인버터의 출력단사이에 접속되고, 상기 제2부정 논리곱 게이트의 출력신호 및 상기 제2인버터의 출력신호에 응답하는 제2전송회로;

리셋 신호 및 상기 공통 노드의 출력신호를 각각 수신하고, 이들을 부정 논리곱하고, 그 결과를 상기 제3출력단으로 출력하는 제3부정 논리곱 게이트; 및

상기 제3부정 논리곱 게이트의 출력신호를 수신하고, 반전하고, 반전된 신호를 상기 제2출력단으로 출력하는 제3인버터를 구비하는 것을 특징으로 하는 펄스 발생기.

【청구항 12】

제11항에 있어서, 상기 제2부정 논리곱 게이트는,

전원전압과 상기 제2부정 논리곱 게이트의 출력단사이에 병렬로 접속되는 제1POMS 트랜지스터 및 제2PMOS 트랜지스터; 및

상기 제2부정 논리곱 게이트의 출력단과 접지전압사이에 직렬로 접속되는 제1NMOS 트랜지스터 및 제2NMOS 트랜지스터를 구비하며,

상기 제1입력단으로 입력되는 상기 N분주된 클락신호는 상기 제1POMS 트랜지스터의 게이트 및 상기 제1NMOS 트랜지스터의 게이트로 입력되고, 상기 제2인버터의 출력신호는 상기 제2POMS 트랜지스터의 게이트 및 상기 제2NMOS 트랜지스터의 게이트로 입력되는 것을 특징으로 하는 펄스 발생기.

【청구항 13】

펄스 발생기에 있어서,

제 1입력신호 및 제2입력신호를 각각 수신하고, 이들을 부정 논리곱하는 제1부정 논리곱 게이트;

상기 제1부정 논리곱 게이트의 출력신호를 수신하여 반전시키는 제1인버터;

N 분주된 클락신호 및 상기 제1인버터의 출력신호를 수신하고, 이들을 부정 논리곱하는 제2부정 논리곱 게이트;

상기 제2부정 논리곱 게이트의 출력신호를 반전시키는 제2인버터; 및

리셋 신호 및 상기 제2부정 논리곱 게이트의 출력신호를 리셋-셋 신호로서 수신하고, 이들을 각각 래치하는 래치를 구비하는 것을 특징으로 하는 펄스 발생기.

【청구항 14】

제13항에 있어서, 상기 제2인버터는 상기 2입력신호에 응답하여 상기 N분주된 클락신호에 상응하는 펄스를 발생하는 것을 특징으로 하는 펄스 발생기.

【청구항 15】

제13항에 있어서, 상기 제1입력신호 및 상기 제2입력신호는 소정의 시간차를 두고 각각의 위상을 천이하는 것을 특징으로 하는 펄스 발생기.

【청구항 16】

펄스 발생기에 있어서,

제 2입력단으로 입력되는 제1입력신호 및 제2입력단으로 입력되는 제2입력신호를 각각 수신하고, 이들을 부정 논리곱하는 제1부정 논리곱 게이트;

상기 제1부정 논리곱 게이트의 출력신호를 수신하여 반전시키는 제1인버터;

제 1입력단으로 입력되는 N분주된 클락신호 및 상기 제1인버터의 출력신호를 수신하고, 이들을 부정 논리곱하는 제2부정 논리곱 게이트;

상기 제2부정 논리곱 게이트 및 제1출력단사이에 접속되는 제2인버터;

공통 노드 및 제2출력단사이에 접속되고, 상기 제2부정 논리곱 게이트의 출력신호 및 상기 제2인버터의 출력신호에 응답하여 제1전송회로;

상기 공통 노드 및 상기 제1인버터의 출력단사이에 접속되고, 상기 제2부정 논리곱 게이트의 출력신호 및 상기 제2인버터의 출력신호에 응답하는 제2전송회로;

리셋 신호 및 상기 공통 노드의 출력신호를 각각 수신하고, 이들을 부정 논리곱하고, 그 결과를 제3출력단으로 출력하는 제3부정 논리곱 게이트; 및

상기 제3부정 논리곱 게이트 및 상기 제2출력단사이에 접속되는 제3인버터를 구비하는 것을 특징으로 하는 펄스 발생기.

【청구항 17】

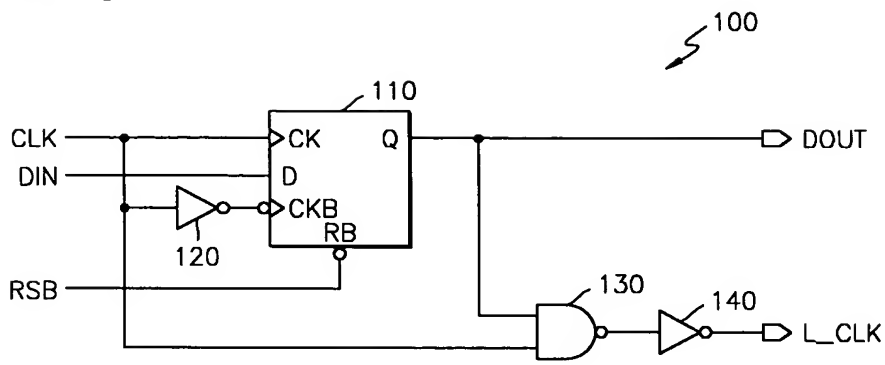
제16항에 있어서, 상기 제2인버터는 상기 2입력신호에 응답하여 상기 N분주된 클락 신호에 상응하는 펄스를 발생하는 것을 특징으로 하는 펄스 발생기.

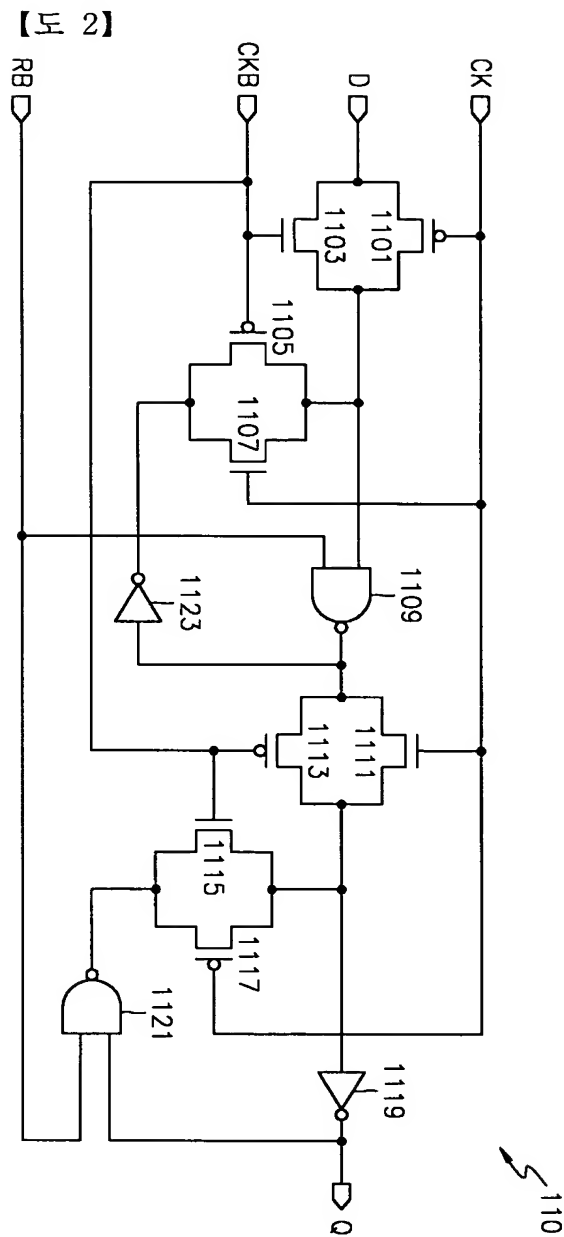
【청구항 18】

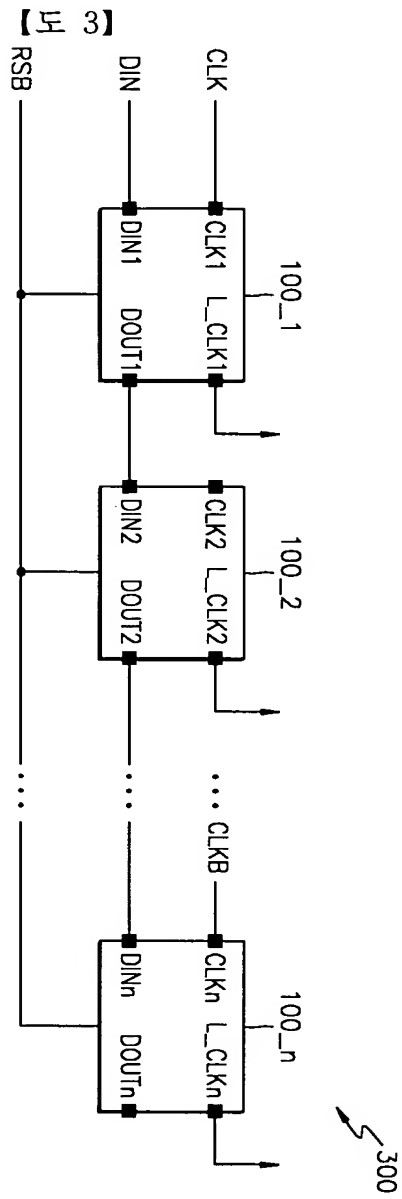
제16항에 있어서, 상기 제1입력신호 및 상기 제2입력신호는 소정의 시간차를 두고 각각의 위상을 천이하는 것을 특징으로 하는 펄스 발생기.

【도면】

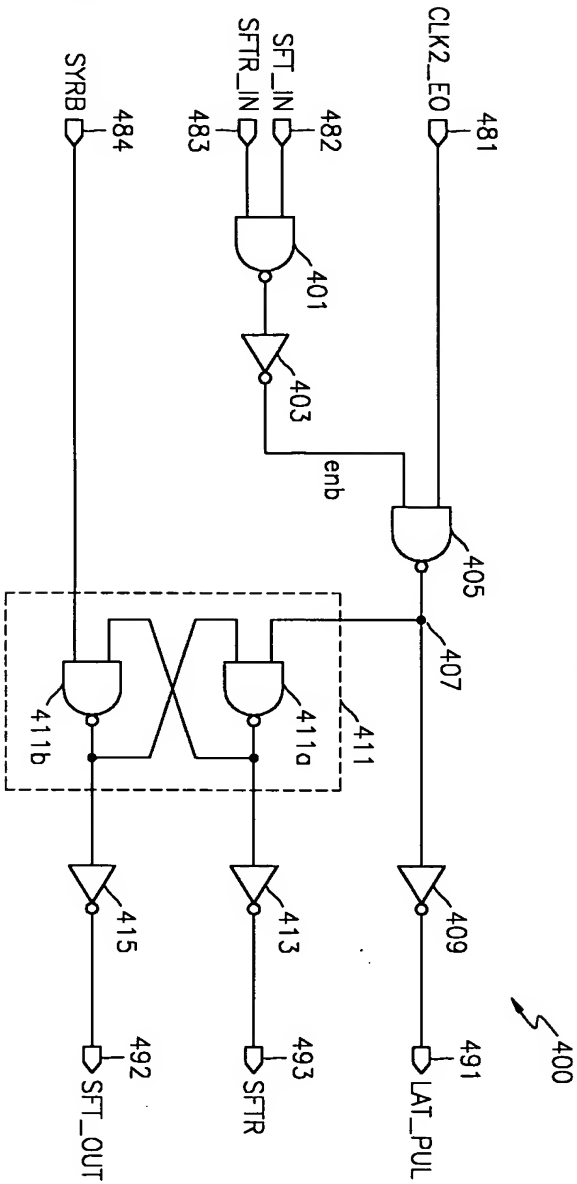
【도 1】



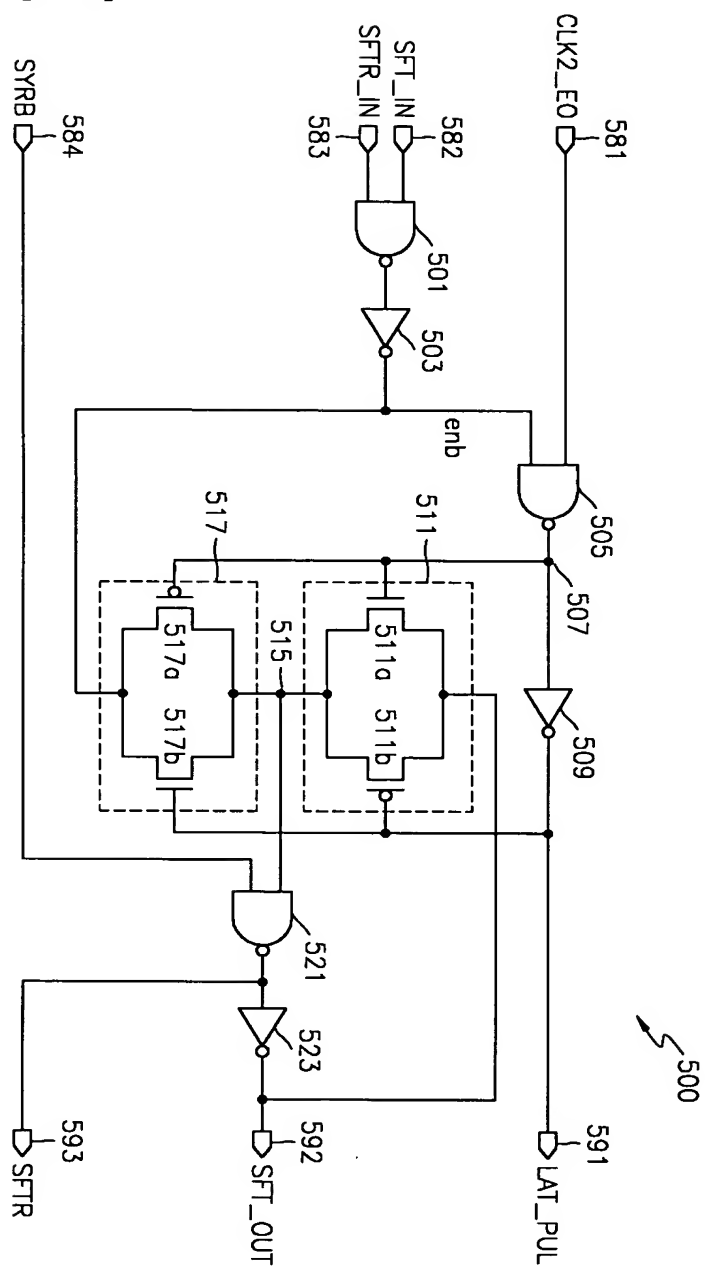




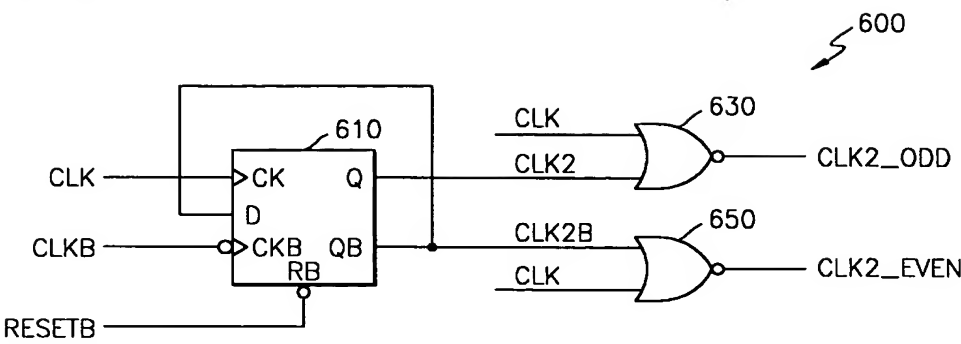
【도 4】



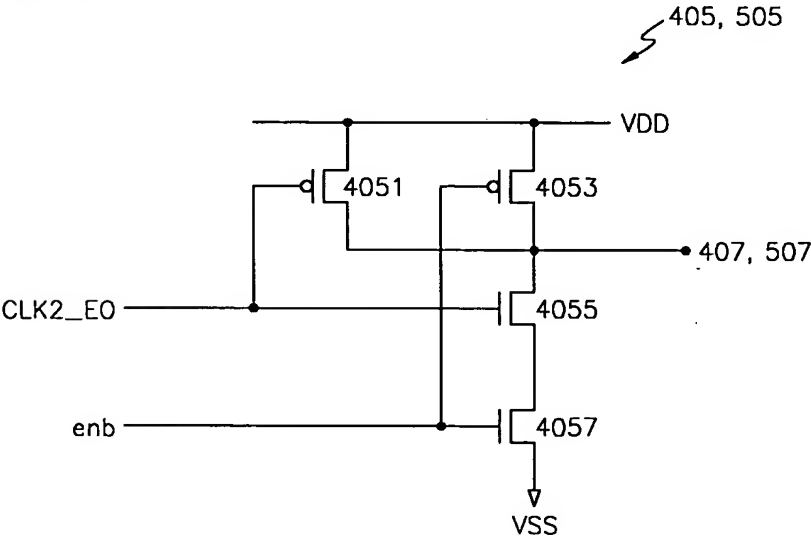
【도 5】



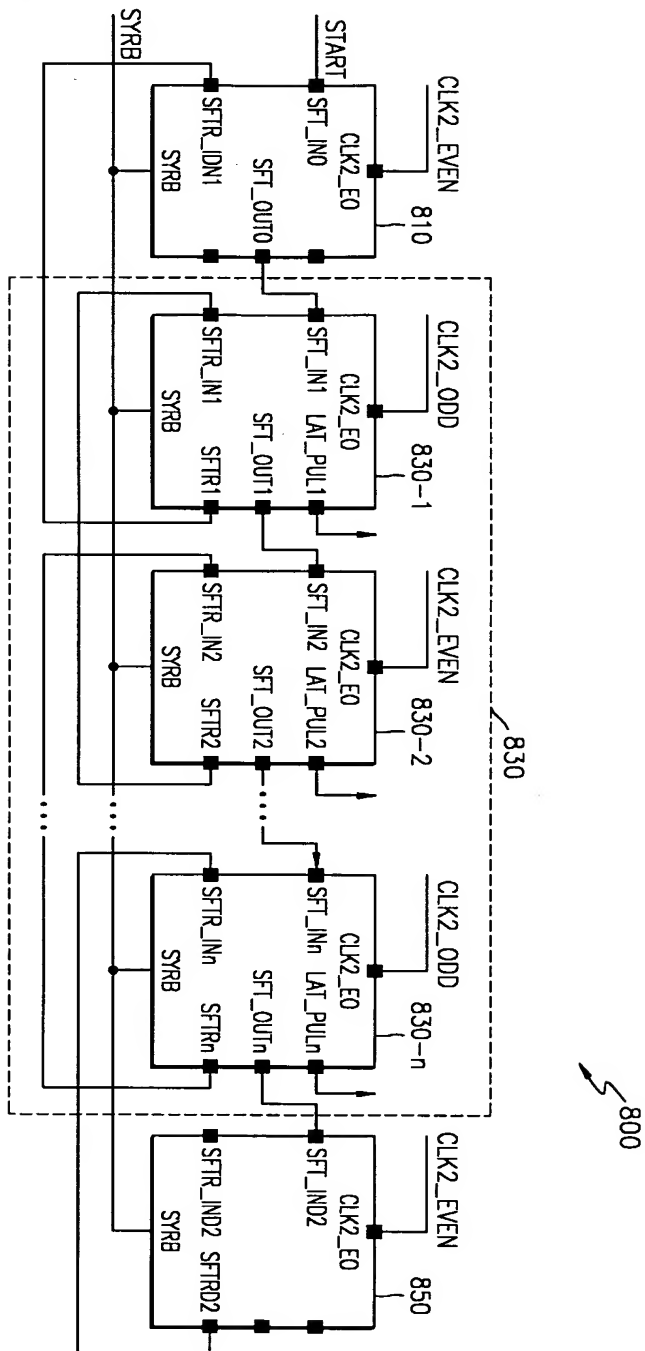
【도 6】



【도 7】



【도 8】



【도 9】

